

Leiterplatte

Die Erfindung betrifft eine Anordnung zur Erhöhung der Bestückungsdichte einer Leiterplatte mit oberflächenmontierbaren elektrischen Bauteilen.

5

Es ist bekannt, dass zur Verkleinerung von Schaltungsaufbauten oberflächenmontierbare elektrische Bauteile (SMD – surface mounted devices) verwendet werden. Diese SMD-Bauteile werden dabei auf einer oder beiden Seiten einer Leiterplatte aufgebracht. Ein Nachteil der Anordnung ist, dass auf Grund der steigenden Werte der zu verarbeitenden Frequenzen die Abstände der SMD-Bauteile zu groß sind.

10

Damit ist ein erheblicher Schaltungsmehraufwand verbunden um zu große Signallaufzeiten zu kompensieren. Ein weiterer Nachteil dieser Anordnung ist, dass die Bestückungsdichte der Leiterplatte nicht beliebig erhöht werden kann. Somit sind der Bestückung einer Leiterplatte natürliche Grenzen in Form der geometrischen Ausmaße eines SMD-Bauteils gesetzt

15

Aus EP 1 139 705 A1 ist eine gattungsgemäße Leiterplatte bekannt. Die Leiterplatte besteht aus einem Kernsubstrat umfassend drei miteinander verpresste, elektrisch leitende Substrate, welche die elektrischen Bauelemente umschließen, sowie aus Kontaktierungsschichten, wobei jede Kontaktierungsschicht wiederum aus mehreren Schichten eines Dielektrikums besteht.

20

Es ist somit Aufgabe der Erfindung eine Anordnung anzugeben, mit welcher unter Berücksichtigung eines einfachen Aufbaus und kurzer Signalwege die Bestückungsdichte einer Leiterplatte mit SMD-Bauteilen erhöht werden kann.

25

Diese Aufgabe wird mit der Anordnung gemäß Patentanspruch 1 gelöst. Vorteilhafte Ausführungen der Erfindung sind Gegenstand von Unteransprüchen.

Die Anordnung zur Erhöhung der Bestückungsdichte einer Leiterplatte mit oberflächenmontierbaren elektrischen Bauteilen umfasst erfindungsgemäß eine Leiterplatte, welche durch zwei gegeneinander verpresste Folien mit einem dazwischen angeordneten Dielektrikum gebildet ist, wobei mindestens eine der sich gegenüberliegenden
 5 Seiten der Folien mit oberflächenmontierbaren elektrischen Bauteilen bestückt ist, sowie in der Leiterplatte vorhandene via holes zur Verbindung der beiden Folien, wobei jedes via hole eine direkte Verbindung der sich gegenüberliegenden Seiten der Folien ist.

10 Mit dieser Anordnung ist eine wesentlich höhere Bestückungsdichte der Leiterplatte möglich, da SMD-Bauteile im Inneren der Leiterplatte angeordnet sind. Außerdem ist es mit der erfindungsgemäßen Anordnung möglich, die Signalwege zwischen den SMD-Bauteilen zu verringern.

Die Via holes sind Bohrungen und können insbesondere Mikrovias sein und können
 15 mittels Bohr-, Galvanisieren- oder Ätzverfahren hergestellt werden.

In einer ersten vorteilhaften Ausführungsform der Erfindung sind auf den sich nicht gegenüberliegenden Seiten der Folien weitere SMD-Bauteile angeordnet. Dadurch lässt sich die Bestückungsdichte der Leiterplatte mit SMD-Bauteilen weiter erhöhen.

20 Die eingesetzten Folien sind vorteilhaft Cu-haltig. Es sind aber selbstverständlich auch andere Materialien mit einer hohen elektrischen Leitfähigkeit einsetzbar.

In einer zweiten vorteilhaften Ausführungsform weist die Leiterplatte erste Kontaktierungen auf, welche auf mindestens einer Seite der Leiterplatte ausgeführt sind. Mit
 25 diesen Kontaktierungen können z.B. elektrische Verbindungen zu anderen Leiterplatten hergestellt werden. Diese elektrische Verbindungen können z.B. Bondverbindungen oder Lötverbindungen zu anderen Leiterplatten oder elektrischen Bauteilen z.B. Mikrochips sein.

In einer weiteren vorteilhaften Ausführungsform der Erfindung weist auf mindestens einer Seite der Leiterplatte eine weitere Schicht eines Dielektrikums sowie eine weitere Folie aufgebracht ist.

Eine weitere vorteilhafte Ausführungsform ist eine Stapelung der erfindungsgemäßen
5 Leiterplatte.

Die Erfindung wird im weiteren anhand von Zeichnungen näher erläutert. Es zeigen:

- 10 Fig. 1 eine erste beispielhafte Ausführungsform einer erfindungsgemäßen Leiterplatte mit SMD-Bauteilen, welche auf einer Seite einer Folie aufgebracht sind,
- Fig. 2 eine zweite beispielhafte Ausführungsform einer erfindungsgemäßen Leiterplatte mit SMD-Bauteilen, welche auf den sich zugewandten Seiten der beiden Folien aufgebracht sind,
- 15 Fig. 3 eine erfindungsgemäße Leiterplatte der zweiten beispielhaften Ausführungsform mit Kontaktierungen,
- Fig. 4 eine weitere beispielhafte Ausführungsform einer erfindungsgemäßen Leiterplatte mit weiteren Schichten aus Dielektrikum und Folie.

- 20 Fig. 1 zeigt in einem senkrechten Schnitt durch eine Leiterplatte eine erste Ausführungsform einer erfindungsgemäßen Leiterplatte 1 mit SMD-Bauteilen 2, welche auf der Innenseite 3a einer Folie 3x,3y angebracht sind. Die SMD-Bauteile 2 sind zwischen zwei Folien 3x,3y angeordnet und in ein Dielektrikum 4 eingebettet. Die Verbindung zwischen dem SMD-Bauteil 2 und der Folie 3x,3y ist eine Lötverbindung 5.
- 25 Fig. 2 zeigt in einem senkrechten Schnitt durch eine Leiterplatte eine zweite Ausführungsform einer erfindungsgemäßen Leiterplatte mit SMD-Bauteilen 2, welche auf den Innenseiten 3a,3b beider Folien angebracht sind.

Fig. 3 zeigt in einem senkrechten Schnitt durch eine Leiterplatte eine erfindungsgemäße Leiterplatte 1 mit Kontaktierungen 6a,6b. Dabei sind erste Kontaktierungen 6a auf den Außenseiten 3c,3d der Folien 3x,3y vorgesehen. An diese Kontaktierungen 6a können z.B. weitere Mikrochips 7 oder weitere Lötverbindungen 8 angebracht werden. Via holes 6b bilden eine direkte Verbindung zwischen den beiden Folien 3x,3y. Somit durchläuft ein Signal auf seinem Weg von einer Folie 3x zur gegenüberliegenden Folie 3y den kürzest möglichen Weg. Das Signal durchläuft hierbei zwischen den beide Folien 3x, 3y ein einziges via hole 6b.

10 Fig. 4 zeigt in einem senkrechten Schnitt durch eine Leiterplatte eine weitere beispielhafte Ausführungsform einer erfindungsgemäßen Leiterplatte 1. Auf den Außenseiten 3c, 3d der verpressten Folien 3x,3y sind weitere Schichten aus Dielektrikum 4 und Folie 3z angebracht. Zwischen den Folien 3z und den verpressten Folien 3x,3y können zweckmäßig Kontaktierungen 6c, z.B. via holes, ausgeführt sein.

Patentansprüche

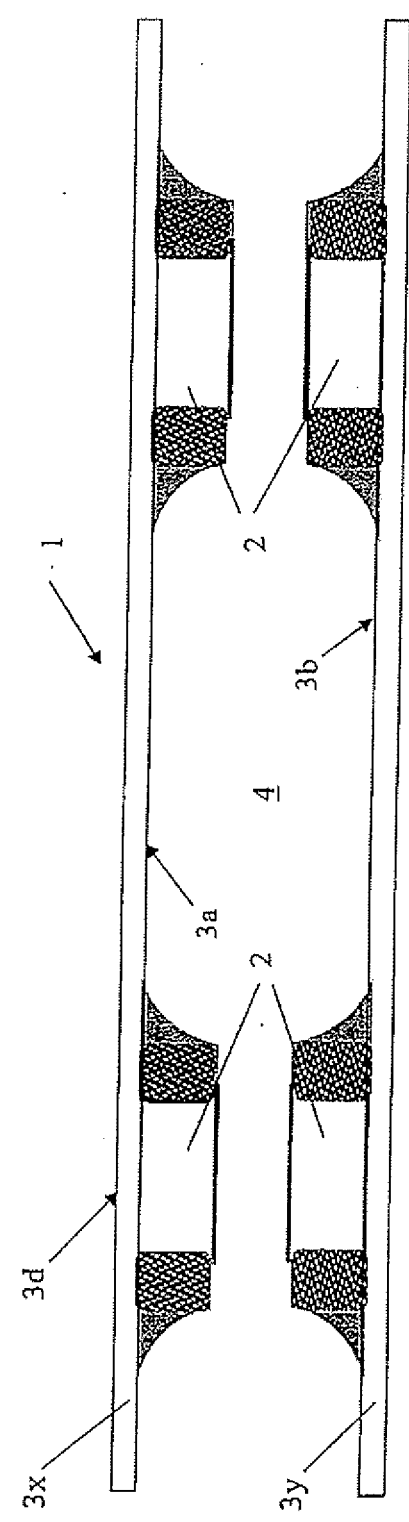
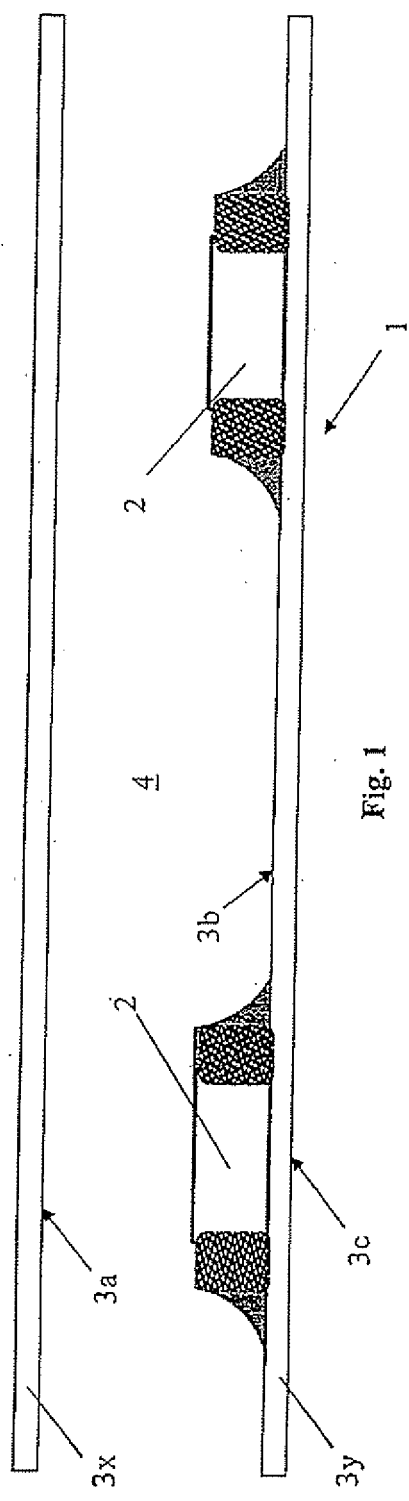
1. Anordnung zur Erhöhung der Bestückungsdichte einer Leiterplatte (1) mit ober-
5 flächenmontierbaren elektrischen Bauteilen (2), wobei die Leiterplatte (1) durch
zwei gegeneinander verpresste Folien (3x, 3y) mit einem dazwischen angeord-
neten Dielektrikum (4) gebildet ist und wobei mindestens eine der sich gegenü-
berliegenden Seiten (3a, 3b) der Folien (3x, 3y) mit oberflächenmontierbaren e-
lektrischen Bauteilen (2) bestückt ist, **dadurch gekennzeichnet, dass**
10 zur Verbindung der beiden Folien (3x, 3y) in der Leiterplatte (1) via holes (6b)
vorhanden sind, wobei jedes via hole (6b) eine direkte Verbindung der sich ge-
genüberliegenden Seiten (3a, 3b) der Folien (3x, 3y) ist.
2. Anordnung nach Anspruch 1, **dadurch gekennzeichnet, dass** auf den sich
nicht gegenüberliegenden Seiten (3c, 3d) der Folien (3x, 3y) weitere oberflä-
15 chenmontierbare elektrische Bauteile (2) angeordnet sind.
3. Anordnung nach einem der vorangehenden Ansprüche, **dadurch gekenn-
zeichnet, dass** auf mindestens einer Seite (3c, 3d) der Leiterplatte (1) eine wei-
tere Schicht eines Dielektrikums (4) sowie eine weitere Folie (3z) aufgebracht
ist.
- 20 4. Anordnung nach einem der vorangehenden Ansprüche, **dadurch gekenn-
zeichnet, dass** die Folien (3x, 3y, 3z) Cu-haltig sind.
5. Anordnung nach einem der vorangehenden Ansprüche, **dadurch gekenn-
zeichnet, dass** die Leiterplatte (1) erste Kontaktierungen (6a) aufweist, welche
auf mindestens einer Seite (3c, 3d) der Leiterplatte (1) ausgeführt sind.
- 25 6. Anordnung nach einem der Ansprüche 3-5, **dadurch gekennzeichnet, dass**
zwischen den verpressten Folien (3x, 3y) und der weiteren Folie (3z) via holes
(6c) ausgeführt sind.

7. Anordnung nach einem der vorangehenden Ansprüche, **dadurch gekennzeichnet, dass** die oberflächenmontierbaren elektrischen Bauteile (2) Widerstände, Spulen oder Kondensatoren sind.
 8. Stapel mit mehreren aufeinander angeordneten Leiterplatten (1) nach einem der vorangehenden Ansprüche.
- s

Zusammenfassung

Die Erfindung betrifft eine Anordnung zur Erhöhung der Bestückungsdichte einer Leiterplatte (1) mit oberflächenmontierbaren elektrischen Bauteilen (2), wobei die Leiterplatte (1) durch zwei gegeneinander verpresste Folien (3x, 3y) mit einem dazwischen angeordneten Dielektrikum (4) gebildet ist und wobei mindestens eine der sich gegenüberliegenden Seiten (3a, 3b) der Folien (3x, 3y) mit oberflächenmontierbaren elektrischen Bauteilen (2) bestückt ist. Gemäß der Erfindung sind zur Verbindung der beiden Folien (3x, 3y) in der Leiterplatte (1) via holes (6b) vorhanden, wobei jedes via hole (6b) eine direkte Verbindung der sich gegenüberliegenden Seiten (3a, 3b) der Folien (3x, 3y) ist.

(Fig. 3)



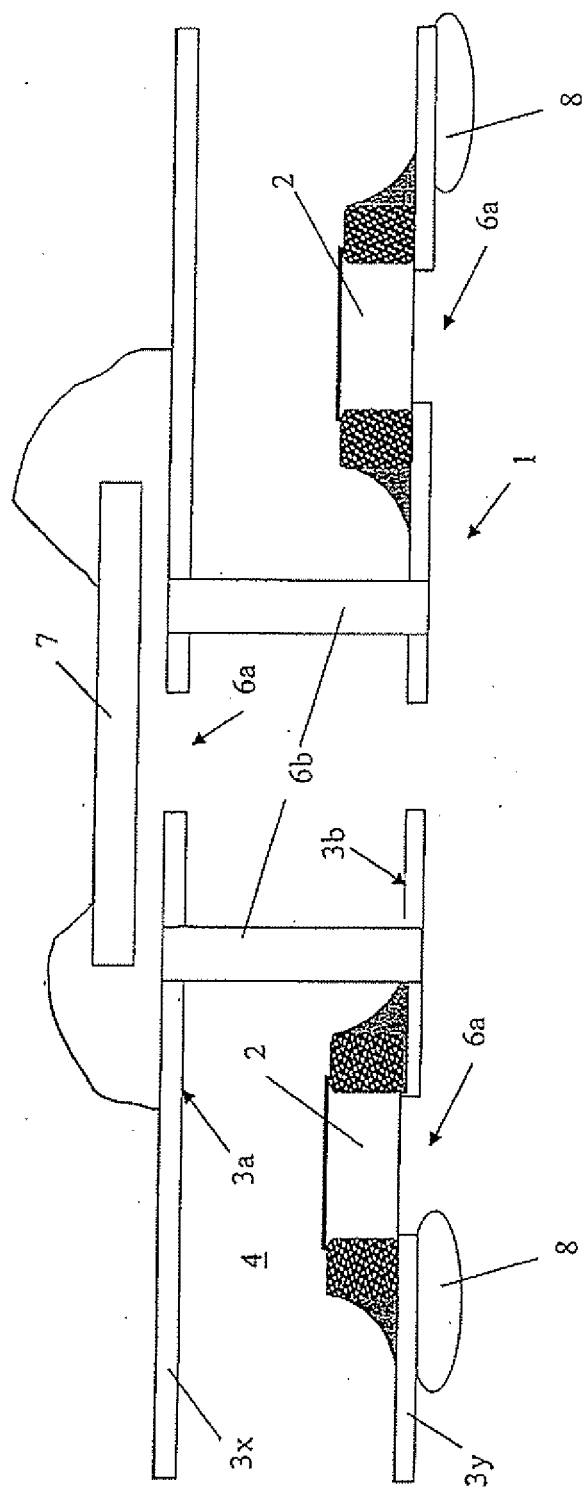


Fig. 3

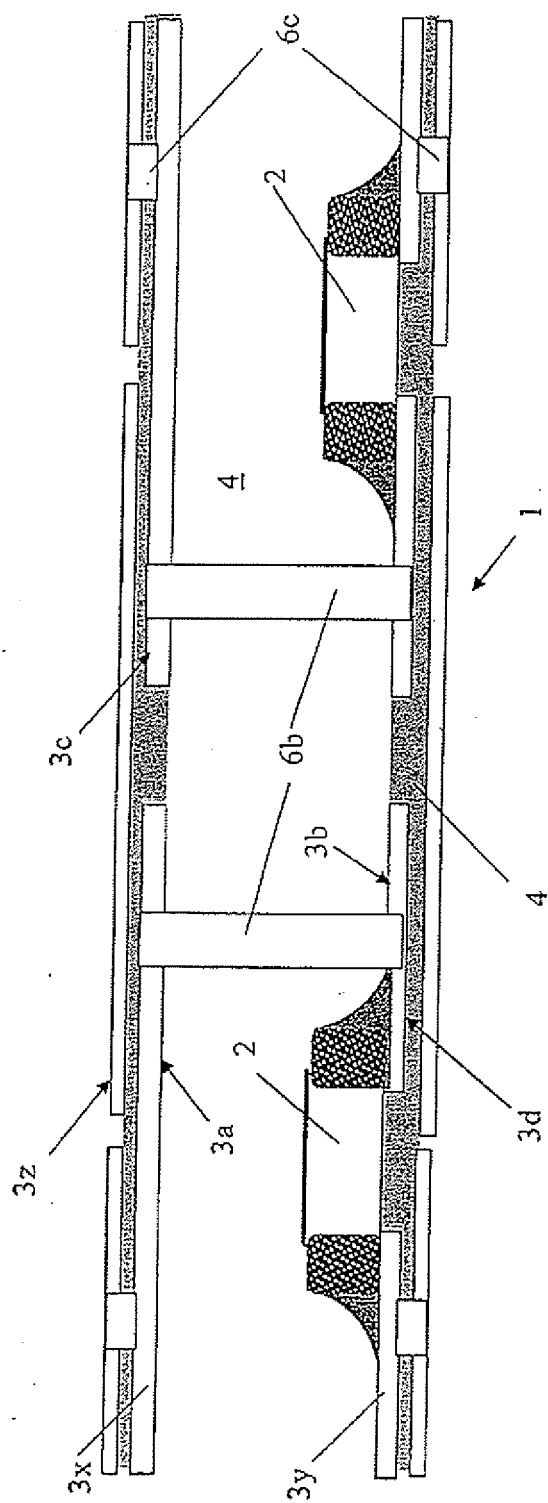


Fig. 4

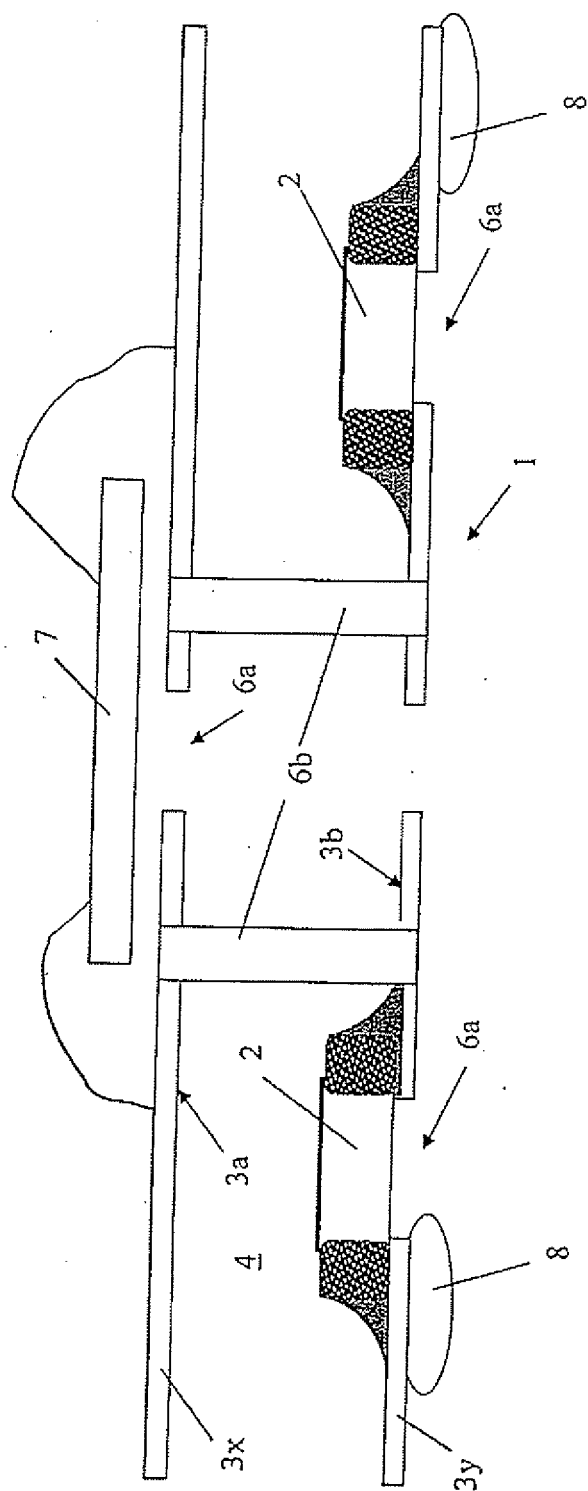


Fig. 3